

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-205033

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月14日

H 01 L 21/331
29/73

8526-5F H 01 L 29/72

審査請求 未請求 請求項の数 8 (全10頁)

⑮ 発明の名称 バイポーラトランジスタおよびその製造方法

⑯ 特 願 平1-23843

⑰ 出 願 平1(1989)2月3日

⑱ 発 明 者 近 藤 将 夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 芝 健 夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

バイポーラトランジスタおよびその製造方法

2. 特許請求の範囲

1. 不純物のピーク濃度が $5 \times 10^{18} \text{cm}^{-3}$ 以上のp型単結晶Si層からなるベース上にp型不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 未満のn型単結晶Siの突起からなるエミッタが形成されたバイポーラトランジスタにおいて、そのn型単結晶Si上にn型の多結晶Si膜または結晶Si以外のヘテロ材料によりエミッタの一部が形成された構造を特徴とするバイポーラトランジスタ。

2. 上記n型単結晶Siの突起のn型不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 以上 $5 \times 10^{19} \text{cm}^{-3}$ 以下になっている構造を特徴とする請求項第1項記載のバイポーラトランジスタ。

3. 上記n型単結晶Siの突起の高さがベースとの接合におけるバイアスをかけない状態でのエミッタ側に延びた空乏層の厚みよりも大きく、かつ500Å以下となっている構造を特徴とする

(1)

る請求項第1項記載のバイポーラトランジスタ。

4. ベースのp型不純物のピーク濃度が $5 \times 10^{18} \text{cm}^{-3}$ 以上でかつn型単結晶のエミッタのp型不純物濃度も $5 \times 10^{18} \text{cm}^{-3}$ 以上となっているSiバイポーラトランジスタにおいて、n型単結晶Siのエミッタのキャリア濃度が $1 \times 10^{18} \text{cm}^{-3}$ 以上 $5 \times 10^{19} \text{cm}^{-3}$ 以下でかつそのn型単結晶Si上にn型の多結晶Siもしくは結晶Si以外のヘテロ材料によりエミッタの一部が形成された構造を特徴とするバイポーラトランジスタ。

5. n型単結晶Siのエミッタ部分の厚さが、ベースとの接合でバイアスをかけない状態でのエミッタ側に延びた空乏層の厚みよりも大きく、かつ500Å以下となっている構造を特徴とする請求項第4項記載のバイポーラトランジスタ。

6. 請求項第1乃至第3項に記載のバイポーラトランジスタを製造する方法において、ベース層上に開口部を形成した後、所望の不純物濃度と厚さのエピタキシャル層を開口部上に選択的に

(2)

成長させる工程と、 n 型不純物を含有した多結晶 Si 膜もしくは結晶 Si 以外のヘテロ材料を堆積する工程を含むことを特徴とするバイポーラトランジスタの製造方法。

7. 請求項第1項乃至第3項に記述したバイポーラトランジスタを製造する方法において、ベース層を形成した後、所望の不純物濃度と厚さの Si 層を単結晶基板上にはエピタキシャル層、絶縁体上には多結晶層として堆積させる工程と、その Si 層のエピタキシャル層の領域内に酸化防止膜の島パターンを形成する工程と、酸化防止膜が形成された部分以外の上記 Si 層を酸化する工程と、酸化防止膜を除去した後 n 型不純物を含有した多結晶 Si 膜もしくは結晶 Si 以外のヘテロ材料を堆積する工程を含むことを特徴とするバイポーラトランジスタの製造方法。

8. 請求項第1項乃至第3項に記述したバイポーラトランジスタにおいて、ベース層の単結晶 Si 中に Ge を含有することを特徴とするバイポーラトランジスタ。

(3)

32 pp 29~34 において論じられている。

エミッタとベースがヘテロ接合の場合、ヘテロ接合と pn 接合の位置を適当な距離だけずらせる、すなわち Si 単結晶基板にエミッタの一部として n 型層を形成すると、ヘテロ接合の効果を損うことなしに、接合特性が改善できるということが計算機によるシミュレーション結果に基づいて論じられている。

〔発明が解決しようとする課題〕

上記従来技術では、エミッタにヘテロ材料を用いる場合でもそうでない場合でも、前記三点の問題点により縦方向の微細化に限界が生じる。

ところで、前述の三つの問題点(1)~(3)は互いに密接な関係がある。素子の微細化において前記(2)のパンチスルー防止のためにはベース不純物濃度を大きくする必要がある。すなわち、ベース不純物濃度を大きくしないでベース幅を縮小していくとエミッターコレクタ間でパンチスルーが発生する。ところで前記(1)の問題点は、エミッタ不純物濃度が従来技術での $1 \times 10^{18} \text{ cm}^{-3}$ 程度で

(5)

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、高速動作に好適なバイポーラトランジスタの構造及び製造方法に関する。

〔従来技術〕

エミッタにヘテロ材料を用いないバイポーラトランジスタに関して本発明に最も近い公知例についてはアイ・イー・ディー・エム 87 第 170 頁から第 173 頁において論じられている。

バイポーラトランジスタの縦方向の微細化を進めていった場合の特性的な問題からの限界が論じられている。それによるとバイポーラの縦方向微細化の限界は、(1) エミッターベース接合の高濃度化によるリーク電流の増大、(2) ベース幅の縮小によるパンチスルーの発生、(3) エミッタへの少数キャリアの蓄積による動作速度の飽和、により決まるとされている。

エミッタにヘテロ材料を用いるバイポーラトランジスタに関して本発明に最も近い公知例については、電子通信学会技術研究報告 Vol. 86 No

(4)

ベース濃度が一定以上になるとエミッタとベースとの間にトンネルによるリーク電流が発生するという現象である。このベース不純物濃度の限界濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

不純物濃度を(1)から決まる上限の $5 \times 10^{18} \text{ cm}^{-3}$ とした場合、パンチスルーが起こらないベース幅の下限は約 400 Å となる。

また、ベース濃度を高くした場合に、従来技術の不純物濃度プロファイルでは、 Si 単結晶部分のエミッタでは高濃度の n 型不純物の他に高濃度の p 型不純物が含まれることになる。その場合にはエミッタ部分のバンドギャップは n 型不純物による狭ギャップ化の他に p 型不純物による狭ギャップ化が起こる。すなわち、 p 型不純物濃度が 10^{18} cm^{-3} 以下では狭ギャップ化が起こらないが、それ以上では狭ギャップ化が起こり、 10^{19} cm^{-3} では 30 meV 程度バンドギャップが狭くなる。従来技術ではベース濃度が高くなると狭バンドギャップ化がより進む。これが原因でエミッタに注入されるホールが増加し微細化を進めても(3)に

(6)

述べた動作速度の飽和が起こってしまう。

本発明の目的は、上記の従来技術における問題点を解消もしくは改善し、バイポーラトランジスタの縦方向微細化の限界を拡張し従来よりもさらに高速動作が可能なバイポーラトランジスタを製作することである。

〔課題を解決するための手段〕

上記目的は以下に技術手段を採用することにより達成される。

まず第1の手段として、多結晶Siもしくはヘテロ材料からなるn+型エミッタとp型ベースの間にはさまれた単結晶Siよりなるエミッタ層が、従来のようにn型不純物がp型不純物で補償されているのではなく、n型不純物のみ含まれるようにする。

次に第2の手段として、上記のN型単結晶Siよりなるエミッタ層のn型不純物濃度を従来技術による場合のように $1 \times 10^{20} \text{ cm}^{-3}$ 程度の固溶限に近い値にするのではなく、 $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度にする。またベースのp型不純

(7)

上記の第1の手段を採用して単結晶Si部分のエミッタのp型の不純物濃度が 10^{18} cm^{-3} 以上になるようにすれば、ベースのp型不純物濃度にかかわらず余分の狭バンドギャップ化は防止できる。それによつて、エミッタへのホールの注入が抑制され、少数キャリアの蓄積が少なくなり素子の縦方向の微細化を進めた場合の動作速度の飽和および電流増幅率の低下を防ぐことが可能となる。

上記第2の手段を採用して、単結晶Si部分のエミッタのn型不純物濃度を $5 \times 10^{19} \text{ cm}^{-3}$ 以下にすればベースの不純物濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以上の高濃度になつても接合の空乏層幅は120Å程度以上になるためのキャリアのトンネルによるリーク電流は抑制される。このことによつてベースの不純物濃度についての上限が取り払われるため、パンチスルーを起こさずにベース幅を縮小することも可能となる。

また上記第1の手段が採用されている場合には以下に述べる理由によりエミッタの不純物濃度を低くしても $1 \times 10^{18} \text{ cm}^{-3}$ 以上であればベース電

(9)

物濃度が大きくなるにつれて、この濃度をより低くする。

例えばベース濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の場合は $1 \times 10^{19} \text{ cm}^{-3}$ 以下、ベース濃度が $3 \times 10^{19} \text{ cm}^{-3}$ の場合は $6 \times 10^{18} \text{ cm}^{-3}$ 以下にすると良い。

次に第3の手段として、上記のn型単結晶Siよりなるエミッタ層の厚さを、ベース-エミッタ接合のエミッタ側に延びた空乏層幅よりも大きく、500Åよりも小さくする。

以上の技術手段により上記問題点が解消もしくは改善できる。尚上記第1ないし第3の各手段は各々単独でも効果を奏するものであるが、第2と第3の手段を併用するのが好ましい形態であり、その上でさらに第1の手段を用いるのがより好ましい。

〔作用〕

従来技術による場合の単結晶Si部分のエミッタではn型不純物がベースを形成するp型不純物によつて補償されておりそのためにn型不純物のみの場合よりもバンドギャップが狭くなっている。

(8)

流の増加、すなわち電流増幅率の低下は起こらない。

まず、ベース電流 J_p は式(1)により表わされる。

$$J_p = -q P_0 D_p \frac{d u}{d x} \left(v = \frac{P}{P_0} - 1 \right) \quad \dots (1)$$

ここで P_0 はエミッタの平衡ホール密度、 D_p はエミッタでのホール拡散定数、 P はエミッタのホール濃度、 $\frac{d u}{d x}$ はエミッタでの規格化されたホール密度勾配である。

第9図に300Kにおける P_0 とn型不純物濃度との関係を示す。破線は狭バンドギャップ現象を考慮しない場合、実線は、実際の場合を示す。これによると $1 \times 10^{18} \text{ cm}^{-3}$ 以上の高不純物濃度領域では狭バンドギャップ化により P_0 がほとん

ど不純物濃度によらなくなる。また、 $D_p \frac{d u}{d x}$ は式(2)のように書き換えることができる。

(10)

$$D_p \frac{d u}{d x} = S_p u_s + \int u d x / \tau \quad \dots (2)$$

ここで、 S_p は多結晶 Si もしくはヘテロ材料と単結晶 Si との界面の少数キャリアの実効的再結合速度、 u_s はその界面での規格化されたホール濃度、 τ は単結晶 Si エミッタのホールのライフタイムである。

単結晶 Si 部分のエミッタの不純物濃度が低くなった場合には u_s と τ が増加して (2) 式右辺の第 1 項が増大し、第 2 項が減少する。多結晶 Si や微結晶 Si 等のヘテロ材料を用いた場合は $S_p = 100 \sim 300 \text{ cm/sec}$ と小さく第 1 項の増大量よりも第 2 項の減少量の方が少なくなることはなく、従って $D_p \frac{d u}{d x}$ は不純物濃度の低下とともに大きくなることはない。以上の理由により単結晶 Si 部分のエミッタの不純物濃度を低くしても $1 \times 10^{18} \text{ cm}^{-3}$ 以上であればベース電流 J_p の増加は起こらない。

エミッタに注入されたホールは少数キャリアと
(11)

合には、以下に述べる理由により単結晶 Si 部分のエミッタ層の厚さを小さくしてベース電流の増加、すなわち電流増幅率の大きな低下は起こらない。単結晶 Si 部分のエミッタ濃度が低い場合バルク中での再結合が無視できるとすると式 (2) は

$$D_p \frac{d u}{d x} = S_p u_s \quad \dots (3)$$

となる。例えば単結晶 Si 部分のエミッタ濃度が $5 \times 10^{18} \text{ cm}^{-3}$ で S_p が 30000 cm/sec の場合を考えると D_p は $5 \text{ cm}^2/\text{sec}$ 程度であるから

$$\frac{d u}{d x} = 0.6 \mu\text{m}^{-1} u_s \quad \dots (4)$$

となり 2000 \AA 程度の厚さのエミッタ中ではホール濃度の変化は高々 10% 余りである。式 (1) と (3) より

$$J_p = -q P_0 S_p u_s \quad \dots (5)$$

であるため、単結晶 Si 部分のエミッタの厚さを小さくしても u_s すなわち J_p の変化は高々 10% 程度となり、電流増幅率の大きな低下は起こらない。

(13)

して単結晶 Si 部分と多結晶 Si もしくはヘテロ材料の部分に蓄積する。多結晶 Si もしくは微結晶 Si 等のヘテロ材料中ではホールの拡散長は 500 \AA 以下であるためホールの蓄積は単結晶 Si との界面から 500 \AA 以内の部分で起こっている (第 10 図参照)。従ってエミッタでの少数キャリアの蓄積量を低減し、素子特性を改善するためには、上記の第 3 の手段を採用して単結晶 Si 部分のエミッタ層の厚さを 500 \AA 以下にすることが有効である (第 10 図参照)。この厚さを小さくすればするほど少数キャリアの蓄積量は減少するため、素子特性は改善されるが、ベース-エミッタ接合の空乏層が単結晶 Si と多結晶 Si もしくはヘテロ材料との界面に接する界面準位の存在によりエミッター-ベース間のリーク電流が増大する。従って単結晶 Si 部分のエミッタ層の厚さは、ベース-エミッタ接合の空乏層のエミッタ側に延びた部分の厚さよりも大きくする必要がある。

また上記第 1, 第 2 の手段が採用されている場
(12)

以上に述べた理由により、上記第 1 ~ 第 3 の手段を採用すれば、バイポーラトランジスタの従来技術による縦方法の微細化の限界を拡張し、さらに高速動作が可能なバイポーラトランジスタを作製することが可能となる。

〔実施例〕

本発明の第 1 の実施例を第 1 図および第 2 図により説明する。

まず第 1 図において 1 は p 型 Si 基板、2 は n+ 型埋込層、3 は n 型エピタキシャル層、4 は p 型単結晶 Si 層、5, 7 は SiO_2 膜、6 は p 型多結晶 Si 膜、8 は n 型エピタキシャル層の突起、9 は n+ 型の多結晶 Si 膜もしくは微結晶 Si 膜、10 は金属電極である。9 が他の n+ 型ヘテロ材料であつても良い。2, 3 はコレクタ、4 はベース、6 はベース引き出し電極、8, 9 はエミッタとしてそれぞれはたらく。

第 1 図の A-A' で切断した部分の各層の不純物濃度と厚さを第 2 図により説明する。多結晶 Si もしくはヘテロ材料からなる部分のエミッタ

(14)

は n 系不純物が $1 \times 10^{20} \text{ cm}^{-3}$ 、厚さが 700 Å、単結晶 Si 部分のエミッタは n 型不純物が $5 \times 10^{18} \text{ cm}^{-3}$ (p 型不純物は $1 \times 10^{18} \text{ cm}^{-3}$ 以下)、厚さが 300 Å、ベース層は p 型不純物ピーク濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが 300 Å となっている。

本実施例によれば、従来技術では問題となるエミッターベース間のリーク電流、エミッターコレクタ間のパンチスルー、少数キャリアの蓄積の相対的増加、電流増幅率の低下を起こさずに、素子サイズの縦方向の微細化が可能となり従来技術での素子の動作素度の限界を超えることができる。

本発明の第 2 の実施例を第 3 図および第 4 図により説明する。第 3 図の各部分の名称およびはたらきは第 1 図における同じ符号のものと同一である。但し 11 は n 型 Si 層でエミッタとしてはたらく。

次に本実施例の第 3 図の B-B' で切断した部分の各層の不純物濃度と厚さを第 4 図により説明する。多結晶 Si もしくはヘテロ材料からなる部

(15)

号のものと同一である。但し 16 は p 型単結晶 Si 層でグラフトベースとしてはたらく、19 は Ge が 10% 添加された p 型 Si 単結晶層でベースとしてはたらく。

次に本実施例の第 11 図 (f) の C-C' で切断した部分の各層の不純物濃度と厚さを第 12 図により説明する。各層の n 型および p 型不純物濃度および厚さは第 2 図に示した本発明の第 1 の実施例と同じである。但しベースの p 型層 19 には Ge が $5 \times 10^{21} \text{ cm}^{-3}$ (10%) 添加されている。

本実施例によれば、本発明の第 1 の実施例と同様の効果がある。但しベース層に Ge が 10% 添加されていることによりベース層のバンドギャップが 50 meV 程度狭くなり、そのためにエミッタへの少数キャリアの注入が約 1/7 となる。従って、素子の動作速度および電流増幅率が第 1 の実施例と比較してより向上するという効果がある。

参考として従来技術によるバイポーラトランジスタの不純物濃度分布を第 5 図に示す。

次に第 6 図 (a) ~ (d) に基づいて本発明の

(17)

分のエミッタ 9 は n 型不純物が $1 \times 10^{20} \text{ cm}^{-3}$ 、厚さが 700 Å、単結晶 Si 部分のエミッタ 11 は n 型不純物のピーク濃度が $3 \times 10^{19} \text{ cm}^{-3}$ 、p 型不純物のピーク濃度が $2 \times 10^{19} \text{ cm}^{-3}$ で、キャリア濃度のピークは $1 \times 10^{19} \text{ cm}^{-3}$ となっており、厚さが 300 Å、ベース層は p 型不純物のピーク濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが 300 Å となっている。

本実施例によれば、本発明の第 1 の実施例と同様の効果があるが、単結晶 Si 部分のエミッタに p 型不純物が存在し狭ギャップ化の度合いが大きいため少数キャリアの蓄積量が大きく素子の動作速度の向上度は第 1 の実施例より少ない。しかし第 1 の実施例とは異なり、不純物濃度が表面ほど高濃度になっているため各層の形成を拡散プロセスのみで行なえるため、製造方法が簡単になるという利点がある。

本発明の第 3 の実施例を第 11 図 (f) および第 12 図により説明する。第 11 図 (f) の各部分の名称およびはたらきは第 1 図における同じ符

(16)

第 1 の実施例の第 1 の製造方法を説明する。

p 型 Si 基板 1 に n+ 型埋込層 2、n 型エピタキシャル層 3 を形成した後、素子分離領域 5 を SiO_2 膜により形成する。その後 p 型多結晶 Si 膜によりベース引き出し電極 6 を形成し、それを酸化することによりベースとエミッタを分離するための SiO_2 膜 7 を形成する。以上の工程の製造方法は公知である。

次にベース層が形成されるエピタキシャル Si 層 3 を露出させた後多結晶 Si 膜を 200 Å 堆積しイオン打込みにより BF_3^+ を加速エネルギー 20 keV で $3 \times 10^{18} \text{ cm}^{-2}$ 打ち込む。その後 900°C の O_2 雰囲気中で多結晶 Si を完全に酸化し形成された SiO_2 膜を除去して厚さ 300 Å、ピーク濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のベース層 4 を形成する (a)。次に HCl と PH_3 を添加した SiH_2Cl_2 ガスの熱分解により基板温度 800°C で上記開口部上に 300 Å の厚さに選択的に n 型エピタキシャル層 8 を形成する。この層の p 濃度は $5 \times 10^{18} \text{ cm}^{-3}$ となっている (b)。次に PH_3 を添加した

(18)

SiH_2Cl_2 ガスを用いて通常の CVD 法により P 濃度が $1 \times 10^{20} \text{cm}^{-3}$ の n 型多結晶 Si 膜を堆積した後通常のホトリソグラフィとしてエッチングによりパターンニングを行ない、エミッタ 9 を形成する。n 型多結晶 Si 膜には P の代わりに As が添加されても良い。またこの部分の n 型多結晶 Si 膜の代わりに通常のプラズマ CVD 法により堆積した n 型の微結晶 Si 膜や、他のワイドバンドギャップのヘテロ材料を用いても良い（第 6 図 (c)）。次に通常の CVD 法により SiO_2 膜 7 を堆積した後、通常のホトリソグラフィとエッチングにより電極とのコンタクト穴を形成し、最後に金属膜を蒸着した後、通常のホトリソグラフィとエッチングにより電極 10 を形成する。

以上により本発明の第 1 の実施例の第 1 の製造方法の説明を終わる。本方法によると自己整合的に形成された微細な幅のグラフトベースに対して自己整合的にエミッタを形成できるため、接合による寄生容量が小さな素子が形成できるという効果がある。

(19)

A の SiO_2 膜 15 を形成し、次にイオン打込みの方法により加速エネルギー 25keV で B^+ を $1 \times 10^{15} \text{cm}^{-2}$ 打ち込み、 850°C の N_2 中の雰囲気中で活性化させ、グラフトベース 16 を形成する (b)。

次に Si_3N_4 膜 17 (膜厚 2000\AA) を堆積した後、異方性ドライエッチングにより SiO_2 膜 14 の側壁部分以外の Si_3N_4 膜 17 を除去し、さらに SiO_2 膜 15 も除去する。次に通常の CVD 法により p 型の多結晶 Si 膜 6 (膜厚 3000\AA) を堆積し、レジストの凹部への埋め込みとエッチバックによる平坦化の方法により SiO_2 膜 14 の上の多結晶 Si 膜を選択的に除去する (第 7 図 (c))。次に SiO_2 膜 14 を除去した後 850°C のウェット (wet) O_2 の雰囲気での熱酸化により SiO_2 膜 7 を形成する。さらに Si_3N_4 膜 13 と SiO_2 膜 12 を除去した後、通常の CVD 法により p が添加された多結晶 Si 膜 9 を堆積し、通常のホトリソグラフィとエッチングによりエミッタパターンを形成する (d)。多結晶

(21)

次に第 7 図 (a)~(d) に基づいて本発明の第 1 の実施例の第 2 の製造方法を説明する。

p 型 Si 基板 1 に n+ 型埋込層 2、n 型エピタキシャル層 3 を形成した後、素子分離領域 5 を SiO_2 膜により形成する。次にベース層が形成されるエピタキシャル層を露出させた後、本発明の第 1 の実施例の第 1 の製造方法の場合と同じ方法により厚さ 300\AA 、ピーク濃度 $1 \times 10^{19} \text{cm}^{-3}$ のベース層 4 を形成する。その後 PH_3 を添加した SiH_4 ガスの熱分解により単結晶 Si 上には n 型の単結晶 Si 層 8、 SiO_2 上には n 型の多結晶 Si 膜を堆積する。この層の P 濃度は $5 \times 10^{18} \text{cm}^{-3}$ 、厚さは 350\AA となっている (a)。

次に 850°C 、 O_2 雰囲気中で厚さ 100\AA の SiO_2 膜 12 を形成した後、厚さ 500\AA の Si_3N_4 膜 13 および厚さ 4000\AA の SiO_2 膜 14 を通常の CVD 法により形成し通常のホトリソグラフィとエッチングによりそれらの膜よりなる島パターンをエミッタ層 8 の上に形成する。その後 850°C 、wet O_2 雰囲気中で厚さ 600

(20)

Si 膜には P の代わりに As が添加されても良いことは言うまでもない。また多結晶 Si 膜の代わりに通常のプラズマ CVD 法により堆積した n 型の微結晶 Si 膜や他のワイドバンドギャップのヘテロ材料を用いても良い。次いで第 6 図 (d) の説明において述べた方法により電極を形成する。

以上により本発明の第 1 の実施例の第 2 の製造方法の説明を終わる。本方法によると、エミッタ-ベース接合の周辺が熱酸化により形成されるため、選択エピタキシャル法による第 1 の方法よりもベース-エミッタ間のリーク電流が小さくなるという効果がある。

次に第 8 図 (a)~(d) に基づいて本発明の第 2 の実施例の製造方法を説明する。まず第 1 の実施例に製造方法の第 6 図 (a) で説明したものと同一方法により第 8 図 (a) に示す構造を形成する。但しベース層 4 の厚さが 600\AA 、ピーク濃度が $2 \times 10^{19} \text{cm}^{-3}$ となるように BF_3 のイオン打込みを $8 \times 10^{15} \text{cm}^{-2}$ 、多結晶 Si 膜の拡散温度を 930°C とする。

(22)

次に通常のCVD法により多結晶Si膜17(膜厚200Å)を形成した後、イオン打ち込みの方法によりAs⁺を加速エネルギー10keVで $1 \times 10^{16} \text{cm}^{-2}$ 打ち込む(b)。

次に900℃のwet O₂雰囲気中で多結晶Si膜17を完全に熱酸化19することによりAsのピーク濃度が $3 \times 10^{19} \text{cm}^{-3}$ 、厚さ300Åのn型単結晶Si層11を形成する(c)。

次にSiO₂膜18を除去した後、通常のCVD法によりPもしくはAsが添加された多結晶Si膜9を堆積する。多結晶Si膜の代わりに通常のプラズマCVD法により堆積したn型の微細結晶Si膜や他のワイドバンドギャップのヘテロ材料を用いても良い。さらに通常のホトリソグラフィとエッチングによりエミッタパターンを形成する(d)。最後に第6図(d)の説明において述べた方法により電極を形成する。以上により本発明の第2の実施例の製造方法の説明を終わる。

第11図(a)~(f)に基づいて本発明の第3の実施例の製造方法を説明する。まず、従来方法

(23)

通常のホトリソグラフィとエッチングにより開口部上にそれらの膜よりなる島パターンを形成する(e)。

次に800℃のwet O₂雰囲気中でn型Si層8を完全に酸化した後、通常のCVD法により多結晶Si膜20(膜厚700Å)を堆積し、凹部へのレジスト埋め込みとエツバックの方法によりSiO₂膜14上の多結晶Si膜を選択的に除去する(d)。

次にSiO₂膜14を除去した後、800℃のwet O₂雰囲気中で多結晶Si膜20を酸化してSiO₂膜21(膜厚2000Å)を形成する。そしてさらにSi₃N₄膜13、SiO₂膜12を通常のエッチングにより除去する(e)。

最後に第6図(c)(d)で説明したのと同じ方法によりn型の多結晶Si膜もしくはヘテロ材料からなるエミッタ、および電極を形成する(f)。以上により本発明の実施例の製造方法の説明を終わる。

[発明の効果]

(25)

と同じ方法によりp型基板1にn⁺型埋込層2、n型エピタキシャル層3、素子分離のSiO₂膜5を形成した後、通常のCVD法によりp型多結晶Si膜6、SiO₂膜7を堆積した後、通常のホトリソグラフィとエッチングにより6、7を除去し素子領域上に開口を形成する。さらに950℃のN₂雰囲気中での熱処理により多結晶Si膜からBを拡散させグラフトベース16を形成する(a)。次に通常のMBE(Molecular Beam Epitaxy)の方法によりGeが10%、Gaが $1 \times 10^{19} \text{cm}^{-3}$ 含まれたp型Si層19(厚さ300Å)、およびAsが $5 \times 10^{19} \text{cm}^{-3}$ 含まれたn型Si層8(厚さ300Å)を形成する。但しSiO₂7上には多結晶Si膜が形成される。さらに通常のホトリソグラフィとエッチングにより開口部周辺を除くSiO₂7上の多結晶Si膜を除去する(b)。

次にSiO₂膜12(膜厚200Å)、Si₃N₄膜13(膜厚500Å)、SiO₂膜14(膜厚3500Å)を通常のCVD法により堆積した後、

(24)

従来技術ではバイポーラトランジスタの縦方向の微細化の限界はベース幅400Åとなっており、その動作速度の限界は $f_{T_{max}}$ が55GHzとなっている。

本発明によれば、従来技術での微細化で問題となるエミッターベース間のリーク電流、エミッターコレクタ間パンチスルー、エミッタでホールの蓄積の相対的増大、電流増幅率の低下等を回避することが可能となるため、ベース幅は200Å以下まで微細化が可能となる。

動作速度に関しては、ベース幅を200Åとした場合の本発明の第1の実施例では $f_{T_{max}}$ は75GHz、第2の実施例では65GHz、第3の実施例では85GHzと、従来技術による場合と比較して高速化が可能となる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例のバイポーラトランジスタの縦断面図、第2図は第1図のA-A'線部分の不純物濃度分布図、第3図は第2の実施例の縦断面図、第4図は第3図のB-B'線

(26)

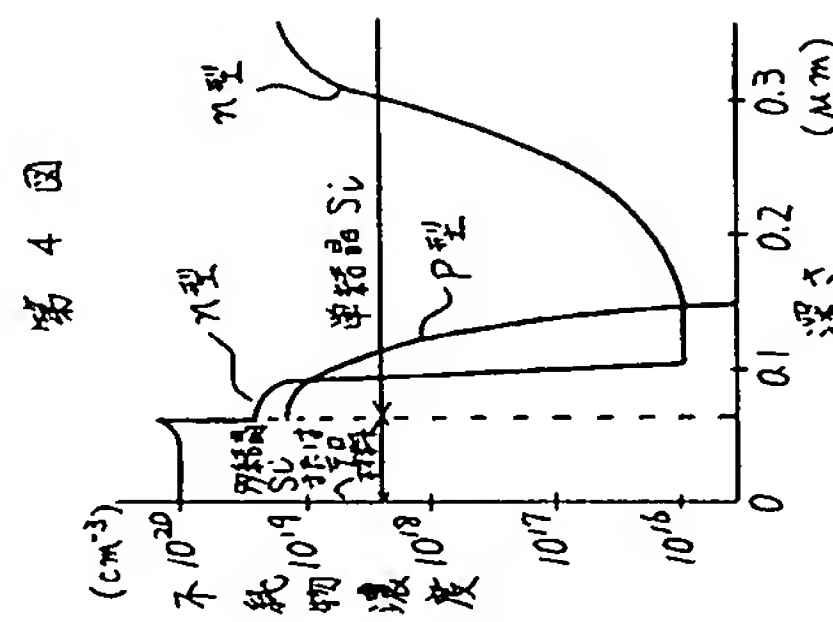
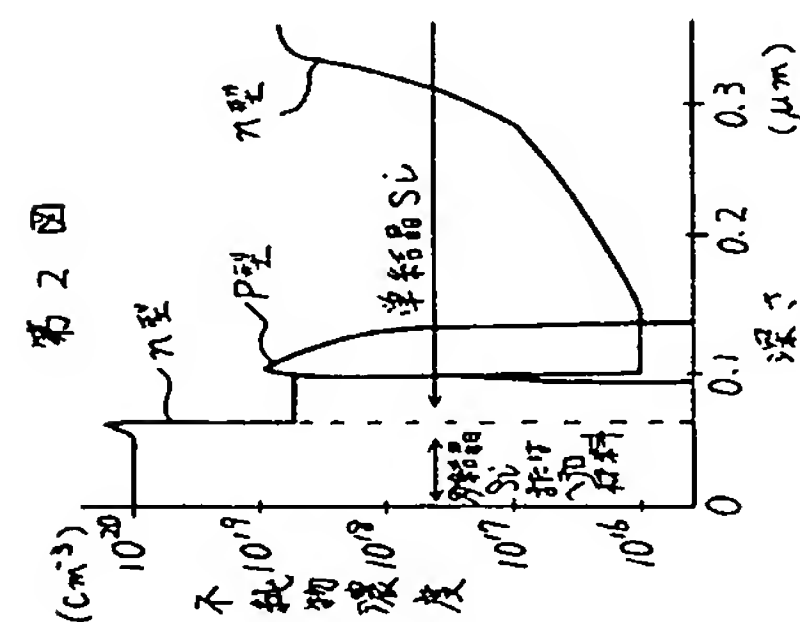
部分の不純物濃度分布図、第5図は従来技術でのバイポーラトランジスタの不純物濃度分布図、第6図、第7図はそれぞれ第1の実施例の製造プロセスを示す断面図、第8図は第2の実施例の製造プロセスを示す断面図、第9図は、n型不純物濃度と平衡ホール濃度 P_0 の関係を示す図、第10図は、従来方法と本発明のバイポーラトランジスタのエミッタでの蓄積ホール濃度分布図、第11図は第3の実施例の製造プロセスを示す断面図、第12図は本発明の第3の実施例の第11図(f)のC-C'線の部分の不純物濃度分布図である。

1…p型Si基板、2…n+型埋込層、3…n型エピタキシャル層、4…p型層(ベース)、5… SiO_2 膜、6…p型多結晶Si膜、7… SiO_2 膜、8…n型単結晶Si層、9…n型多結晶Si層、10…金属電極、11…n型単結晶Si層、12… SiO_2 膜、13… Si_3N_4 膜、14… SiO_2 膜、15… SiO_2 膜、16…p型Si層、17…多結晶Si膜、18… SiO_2 膜、19…p型単結晶SiGe、20…多結晶Si膜、

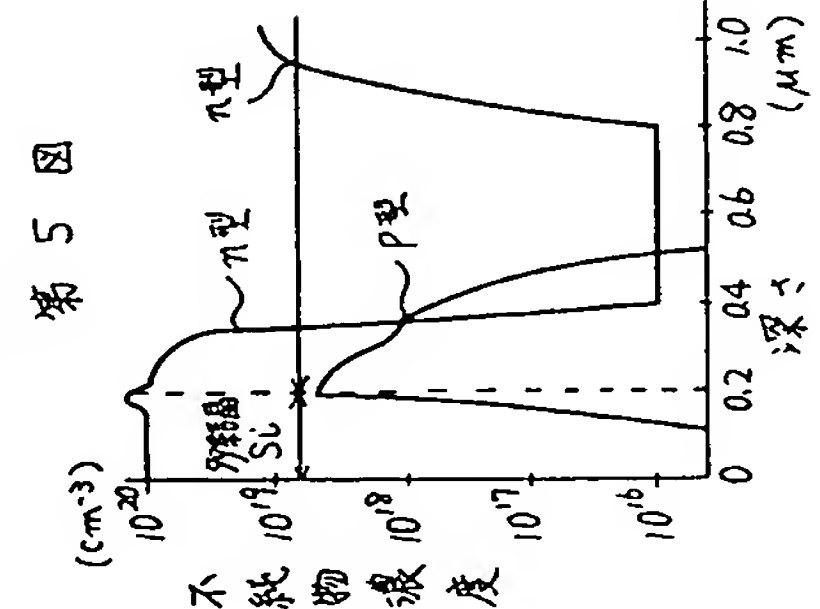
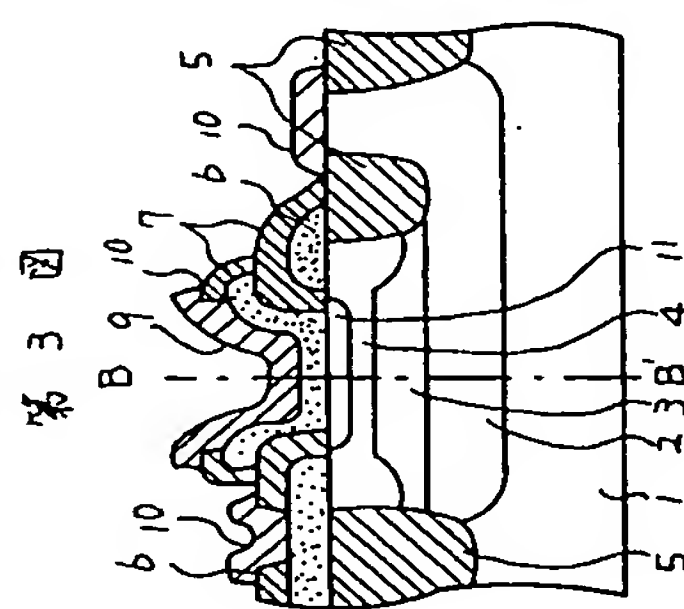
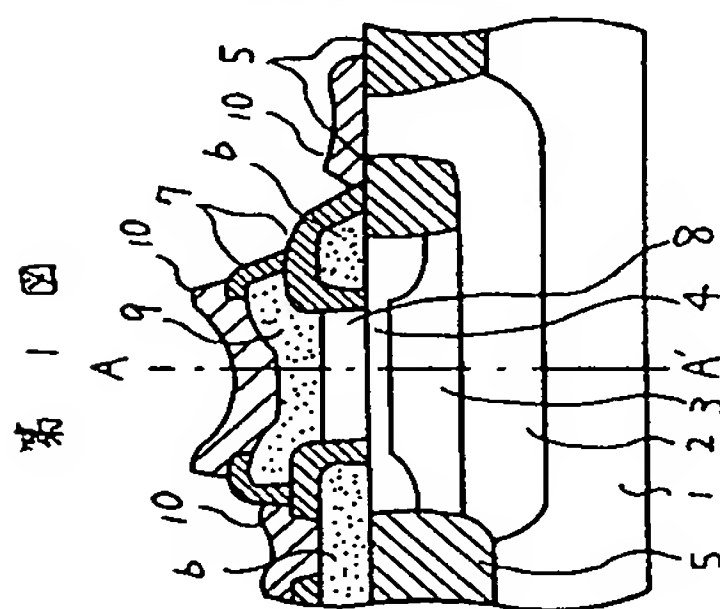
(27)

21… SiO_2 膜。

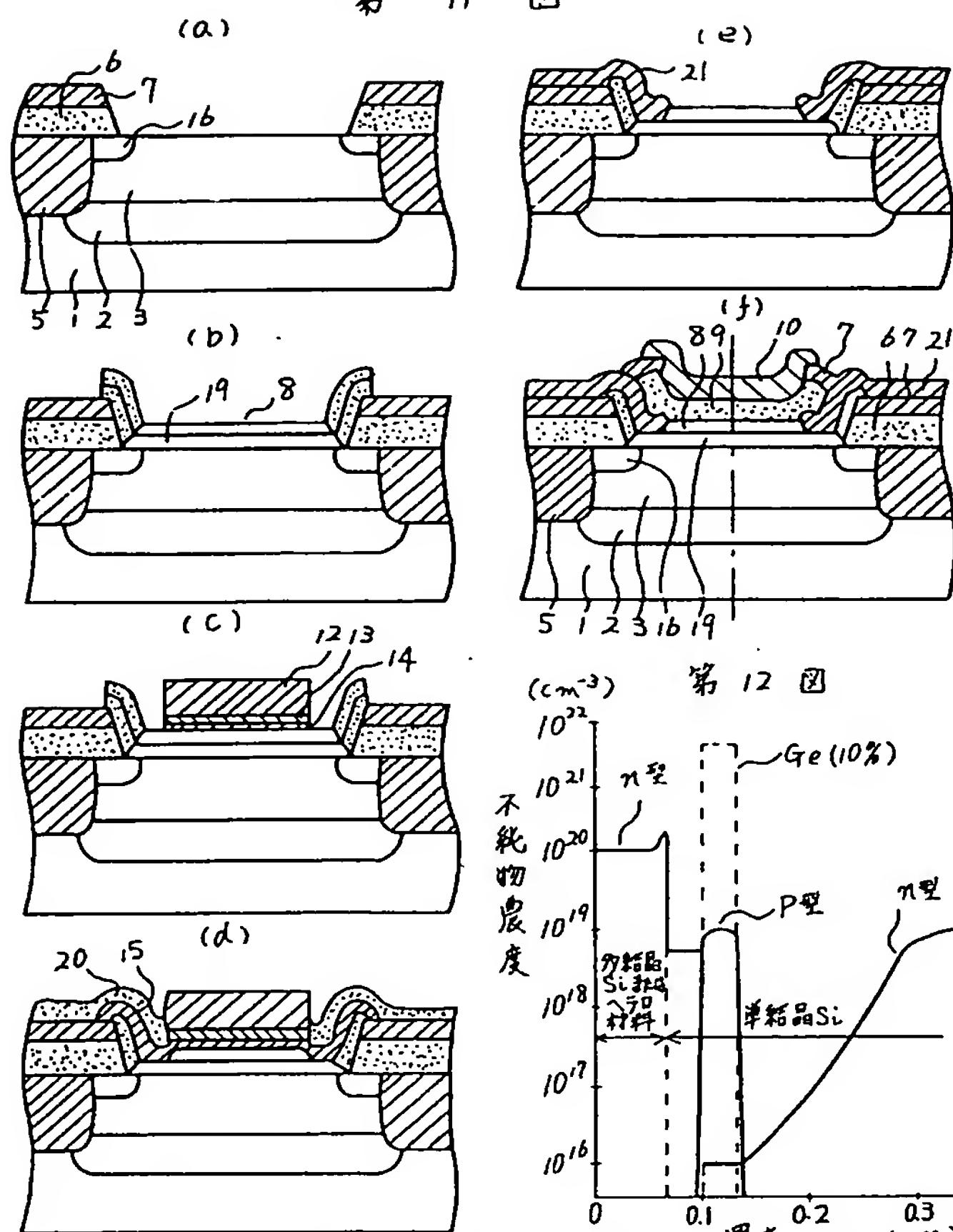
代理人 弁理士 小川勝男



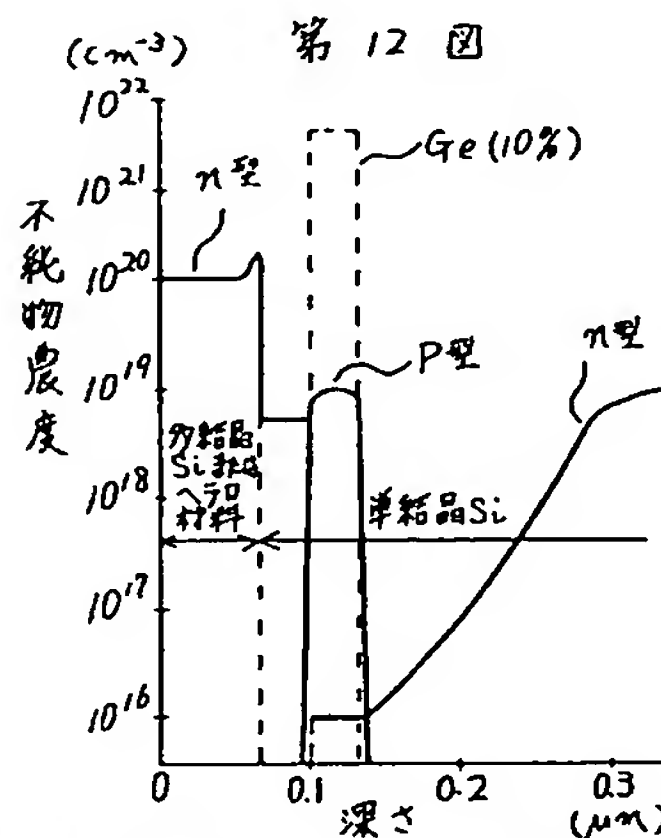
2 n型埋込層
3 n型エピタキシャル層
4 p型Si層
5,7 SiO_2 膜
6 p型多結晶Si膜
8 n型単結晶Si層
9 n型多結晶Si層
10 金属電極
11 n型単結晶Si層



第 11 圖



第 12 圖



3 n型エピタキシャル層 8 n型単結晶Si層 13 Si₃N₄膜
 5,7,12 SiO₂膜 9 n型多結晶Si膜 16 P型Si層
 4,15,21 P型多結晶Si膜 10 金属電極 19 P型単結晶SiGe